



This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application:

1999年 2月12日

Application Number:

平成11年特許願第033890号

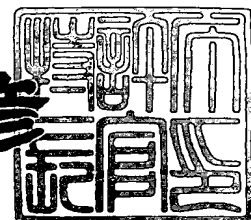
Applicant (s):

富士ゼロックス株式会社

2000年 4月21日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特2000-3029997

【書類名】 特許願

【整理番号】 FN98-00457

【提出日】 平成11年 2月12日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/72

【発明の名称】 ハーフトーン生成装置

【請求項の数】 5

【発明者】

 【住所又は居所】 神奈川県足柄上郡中井町境 4 3 0 グリーンテクなかい
 富士ゼロックス株式会社内

 【氏名】 足立 康二

【特許出願人】

 【識別番号】 000005496

 【氏名又は名称】 富士ゼロックス株式会社

【代理人】

 【識別番号】 100091546

 【弁理士】

 【氏名又は名称】 佐藤 正美

 【電話番号】 03-5386-1775

【手数料の表示】

 【予納台帳番号】 048851

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ハーフトーン生成装置

【特許請求の範囲】

【請求項 1】

文字図形に関する描画オブジェクトごとに複数画素のハーフトーンデータを同時に生成するハーフトーン生成装置であって、

処理する描画オブジェクトの全ての階調値に対して 2 値化処理を施した階調数分の 2 値化マトリクスデータを記憶するデータ記憶手段と、

処理中の描画オブジェクトの階調情報と画素位置情報に基づいて、前記データ記憶手段から当該走査ラインに対する所定量の 2 値化マトリクスデータを読み出すデータ読み出し手段と、

処理中の描画オブジェクトの主走査方向画素位置情報に基づいて、前記データ読み出し手段により読み出された 2 値化マトリクスデータから、複数画素の 2 値化マトリクスデータを選択的に出力するデータ選択手段と、

を備えることを特徴とするハーフトーン生成装置。

【請求項 2】

文字図形に関する描画オブジェクトごとに複数画素のハーフトーンデータを同時に生成した後、その複数画素のハーフトーンデータを同時に出力バッファメモリに書き込むハーフトーン生成装置であって、

処理する描画オブジェクトの全ての階調値に対して 2 値化処理を施した階調数分の 2 値化マトリクスデータを記憶するデータ記憶手段と、

処理中の描画オブジェクトの階調情報と画素位置情報に基づいて、前記データ記憶手段から当該走査ラインに対する所定量の 2 値化マトリクスデータを読み出すデータ読み出し手段と、

処理中の描画オブジェクトの主走査方向画素位置情報に基づいて、前記データ読み出し手段により読み出された 2 値化マトリクスデータから、複数画素の 2 値化マトリクスデータを選択的に出力するデータ選択手段と、

このデータ選択手段から出力された 2 値化マトリクスデータと描画オブジェクトの塗りつぶし領域を示すマスクデータとの論理積のデータを出力バッファメモ

リに書き込むデータ書き込み手段と、

を備えることを特徴とするハーフトーン生成装置。

【請求項 3】

請求項 1 または 2 のハーフトーン生成装置において、

前記データ読み出し手段は、処理中の描画オブジェクトの副走査方向画素位置情報に基づいて、前記データ記憶手段から当該走査ラインに対する全ての 2 値化マトリクスデータを同時に読み出すことを特徴とするハーフトーン生成装置。

【請求項 4】

請求項 1 または 2 のハーフトーン生成装置において、

前記データ読み出し手段は、処理中の描画オブジェクトの副走査方向画素位置情報および主走査方向画素位置情報に基づいて、前記データ記憶手段から当該走査ラインに対する 2 値化マトリクスデータを所定の複数画素単位で読み出すことを特徴とするハーフトーン生成装置。

【請求項 5】

請求項 1 ～ 4 のいずれかのハーフトーン生成装置において、

前記データ選択手段は、描画オブジェクトの主走査方向画素位置と 2 値化マトリクスデータの主走査方向画素位置との相対的な位置ずれに基づいて、当該走査ラインのハーフトーン処理が終了するまで、前記データ読み出し手段により読み出された 2 値化マトリクスデータを順次、シフトさせることを特徴とするハーフトーン生成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、文字図形に関する描画オブジェクトを表現する多値画像データを 2 値画像データに電子的に変換するハーフトーン生成装置、特に高精細の画像記録装置に対して高速にハーフトーンデータを供給するハーフトーン生成装置に関する。

【0002】

【従来の技術】

カラー画像を印刷処理する印刷処理装置では、一般に、カラー画像がC（シア）、M（マゼンタ）、Y（イエロー）、K（黒）の4版に分解され、それぞれの色版の多値画像データがバッファに格納される。その各色ごとの多値画像データは、閾値マトリクスデータと比較されて、2値画像データに変換され、その各色ごとの2値画像データに基づいて、画像記録装置において、ハーフトーン印刷がなされ、カラー画像が形成される。

【0003】

従来、オフセット印刷などにおいて、デジタル的にハーフトーン画像を形成するには、イメージセッタと呼ばれる高分解能のレーザー記録装置で、感光フィルム上にハーフトーン画像を形成した後、PS版（*presensitized plate*）などに焼き付けるのが一般的である。このイメージセッタ方式では、上記のようにハーフトーン形成はオフラインで行われ、ハーフトーン形成に関して高速性は要求されないため、一般にハーフトーン形成は、イメージセッタに内蔵されたCPU（中央演算処理装置）によって処理される。すなわち、CPUによって多値画像データと閾値マトリクスデータとが比較され、その結果のハーフトーンデータがイメージセッタのメモリに記録される。そして、ページ単位またはジョブ単位のハーフトーン生成が終了すると、メモリに書き込まれたハーフトーンデータが順次読み出され、レーザーによる感光フィルム上への記録がなされる。

【0004】

一方、電子写真方式の印刷処理装置においても、近年の情報の電子化、画像記録装置のカラー化および高解像度化に伴い、ハーフトーン画像をデジタル的に形成することが一般的になりつつある。しかし、電子写真方式では、オフセット印刷などの一般的な印刷とは異なり、画像記録装置の出力に合わせて多値画像データから連続的にハーフトーン画像を形成する必要がある。そのため、電子写真方式の印刷処理装置のハーフトーン形成に関しては、CPU処理ではなく、ハードウェア処理が一般的である。

【0005】

図12に、従来の代表的なハーフトーン形成に関するハードウェア構成を示す。この構成では、アドレス発生部1において、入力多値画像データD_{in}の画素位置に応じて、入力多値画像データD_{in}と比較すべき閾値マトリクスデータのアドレスが計算され、その計算結果のアドレスが閾値マトリクスデータメモリ2に出力されて、閾値マトリクスデータメモリ2から多値階調データの閾値マトリクスデータD_{th}が読み出され、コンパレータ3において、その閾値マトリクスデータD_{th}と入力多値画像データD_{in}が比較されて、ハーフトーンデータとしての2値化マトリクスデータD_{out}が出力される。

【0006】

この電子写真方式の印刷処理装置のための閾値マトリクスデータは、従来、有理正接(Rational Tangent)と呼ばれる方式が一般的で、比較的小さなマトリクスで構成され、カラー印刷の各色版の角度および線数の自由度が比較的小さいという問題があった。しかし、電子写真方式の印刷処理装置においても、高画質化の要求に伴って画像記録装置が高解像度化したことによって、従来、イメージセッタで利用されている、マトリクスサイズが大きく、角度および線数の自由度が高い、スーパーセル方式やマルチユニットエリア方式によるハーフトーン化が可能になってきた。

【0007】

【発明が解決しようとする課題】

しかしながら、図12の方式のハーフトーン形成では、従来は、印刷処理装置で多値画像データを生成し、画像記録装置でレーザー露光する直前においてハーフトーン化するのが一般的であるが、上記の高解像度化に伴い、イメージセッタに比べて低価格の電子写真方式の印刷処理装置では、大量の多値画像データを格納しておくためのメモリのコストが問題となる。さらに、大量の多値画像データを印刷処理装置から画像記録装置に高速に転送すること、および高速の画像記録装置の記録速度に応じて高速にハーフトーンデータを生成することも、問題となる。

【0008】

メモリコストおよび高速転送の問題については、一つの解決手段として、印刷処理装置においてハーフトーン化することが考えられる。すなわち、あらかじめ多値画像データをハーフトーンデータ化し、2値画像データとしてメモリに格納しておいて、画像記録装置に出力することによって、多値画像データを印刷処理装置のバッファに格納し、画像記録装置に転送してハーフトーン化する場合に比べて、多値画像データが8ビットであれば、メモリ容量、データ転送速度とも、 $1/8$ に低減する。しかしながら、ハーフトーンデータを高速に生成しなければならないという問題は依然として残る。

【0009】

そこで、ハーフトーンデータを高速に生成することに対して、発明者は先に、複数画素についてのハーフトーンデータを同時に生成することを検討し、ハードウェアのボトルネックとなる閾値マトリクスデータの読み出しをパイプライン構成で行うとともに、読み出された当該走査ラインの閾値マトリクスデータを繰り返し再利用するハードウェア構成としたハーフトーン生成装置を発明し、特願平10-254785号（整理番号FN98-00106、1998年9月9日出願）によって提案した。

【0010】

この方式によれば、対象ページ全体またはバンド全体でラスターデータ化された画像データをハーフトーン処理する場合、あるいは描画オブジェクトごとにハーフトーン処理する場合でも、主走査方向のサイズが写真などのイメージデータのように大きい場合には、大きな効果を期待することができる。

【0011】

しかしながら、描画オブジェクトごとにハーフトーン処理する場合で、かつ主走査方向のサイズが小さい場合には、読み出された閾値マトリクスデータを繰り返し再利用することができないため、効果が小さくなる。文字図形に関する描画オブジェクトについては、このような状況が発生する可能性が高い。

【0012】

この主走査方向のサイズが小さい描画オブジェクトに対応するために、ハーフ

トーン化する当該走査ラインの閾値マトリクスデータを同時に読み込み、描画オブジェクトの画素位置に応じて閾値マトリクスデータを瞬時に並べ替えて選択的に出力するハーフトーン生成装置も発明され、出願人により、特願平 10-336760 号（整理番号 FN98-00378、1998 年 11 月 27 日出願）によって提案されている。

【0013】

しかしながら、この方式では、ハーフトーン化する当該走査ラインの閾値マトリクスデータを同時に読み込むため、閾値マトリクスデータを読み出すためのデータ線が閾値マトリクスサイズ分必要になるとともに、閾値マトリクスデータを瞬時に並べ替えるためのハードウェアも閾値マトリクスサイズ分必要となる。したがって、角度および線数の自由度が高い大サイズの閾値マトリクスに適用するには膨大なハードウェア量を必要とし、実際的には小サイズの閾値マトリクスにしか適用できないという問題がある。

【0014】

そこで、この発明は、文字図形に関する描画オブジェクトごとに複数画素のハーフトーンデータを同時に生成するハーフトーン生成装置において、マトリクスサイズが大きく、角度および線数の自由度が高いハーフトーンデータを、小規模のハードウェアで高速に生成することができるようにしたものである。

【0015】

【課題を解決するための手段】

この発明のハーフトーン生成装置は、文字図形に関する描画オブジェクトごとに複数画素のハーフトーンデータを同時に生成するハーフトーン生成装置であって、特に、処理する描画オブジェクトの全ての階調値に対して 2 値化処理を施した階調数分の 2 値化マトリクスデータを記憶するデータ記憶手段と、処理中の描画オブジェクトの階調情報と画素位置情報に基づいて、前記データ記憶手段から当該走査ラインに対する所定量の 2 値化マトリクスデータを読み出すデータ読み出し手段と、処理中の描画オブジェクトの主走査方向画素位置情報に基づいて、前記データ読み出し手段により読み出された 2 値化マトリクスデータから、複数画素の 2 値化マトリクスデータを選択的に出力するデータ選択手段とを備えるも

のである。

【0016】

【作用】

従来の代表的なハーフトーン生成装置では、メモリから多値階調データの閾値マトリクスデータが読み出され、コンパレータで多値画像データと比較されて、ハーフトーンデータとしての2値化マトリクスデータが生成される。

【0017】

これに対して、この発明のハーフトーン生成装置では、あらかじめ描画オブジェクトの全ての階調値に対して2値化処理を施した階調数分の2値化マトリクスデータがデータ記憶手段に格納され、このデータ記憶手段から、データ読み出し手段によって、当該走査ラインに対する所定量の2値化マトリクスデータが読み出され、その読み出された2値化マトリクスデータから、データ選択手段によって、複数画素の2値化マトリクスデータが選択的に出力される。すなわち、この発明のハーフトーン生成装置では、メモリからは、閾値階調データではなく、あらかじめ閾値階調データによって2値化された、ハーフトーンデータとなる2値化マトリクスデータが直接読み出される。

【0018】

したがって、メモリからの読み出しデータ線は、従来のようにメモリから閾値階調データを読み出す場合の閾値階調データが8ビットであれば、従来の1/8となり、メモリからの読み出しデータ線を少なくすることができる。逆に、メモリからの読み出しデータ線を従来と同数にすれば、従来の8倍のマトリクスサイズとすることができる。また、メモリから読み出されたデータを並べ替えるためのハードウェアも、例えば1/8に低減させることができる。このような構成は、文字図形に関する描画オブジェクトについては、一つの描画オブジェクト内の階調値は一定であることを利用したものである。

【0019】

さらに、並列に処理する画素数を大きくすることができるので、高速のハーフトーン処理を実現することができる。しかも、従来は、多値画像データとメモリから読み出された閾値階調データとを比較するので、複数画素のハーフトーンデ

ータを同時に生成する場合には多数のコンパレータが必要となるのに対して、この発明のハーフトーン生成装置では、メモリからハーフトーンデータとなる2値化マトリクスデータが直接読み出されるので、コンパレータが不要となり、その点でも小規模のハードウェアとすることができる。

【0020】

【発明の実施の形態】

【閾値マトリクスデータおよび2値化マトリクスデータの例】

この発明のハーフトーン生成装置では、処理する描画オブジェクトの全ての階調値につき、閾値マトリクスデータの閾値階調データによって2値化した、階調数分の2値化マトリクスデータをメモリに格納しておく。この場合の閾値マトリクスデータは、例えば、高解像度の画像記録装置に対応する大きなマトリクスサイズの、スーパーセル方式やマルチユニットエリア方式によって生成された、複数の網点セルで構成されるものである。

【0021】

スーパーセル方式については、ピーター・フィンク著、株式会社エムディエヌコーポレーション発行、書名「ポストスクリプト・スクリーニング」に、マルチユニットエリア方式については、日本印刷学会誌、Vol 31, pp 31~39 (1994) に、それぞれ記載されている。

【0022】

具体例として、画像記録装置の解像度を2400dpi、スクリーン線数を約207線/インチとする。このような条件に対しては、図1(A)に示すように、閾値マトリクスサイズは180×180となり、個々の閾値階調データを8ビット(1バイト)とすると、CMYKの1色あたりの閾値マトリクスデータは32.4キロバイトとなる。

【0023】

このような閾値マトリクスデータによって、処理する描画オブジェクトの全ての階調値についての2値化マトリクスデータを生成し、メモリに格納しておく。例えば、描画オブジェクトの階調値が、8ビットで表現され、0~255の値となる場合には、図1(B)に示すように、階調値0, 1, 2...255のそれぞれ

につき、同図（A）の閾値マトリクスデータの2値化閾値と比較した結果の、180×180のマトリクスサイズの2値化マトリクスデータを生成し、メモリに格納しておく。したがって、この場合の2値化マトリクスデータは、一つの階調値については4.05キロバイトとなり、全ての階調値については約1037キロバイトとなる。さらに、CMYKの全ての色については、その4倍となる。

【0024】

そして、この発明のハーフトーン生成装置では、以下の実施形態のように、この2値化マトリクスデータ格納メモリから、当該走査ラインに対する所定量の2値化マトリクスデータを読み出し、その読み出した2値化マトリクスデータから、複数画素の2値化マトリクスデータを選択的に出力することによって、ハーフトーンデータを生成する。

【0025】

〔第1の実施形態〕

図2は、この発明のハーフトーン生成装置の第1の実施形態の全体構成を示す。ハーフトーン生成装置100は、大別して、2値化マトリクスデータ格納メモリ10、2値化マトリクスデータ読み出し手段20、2値化マトリクスデータ選択手段30、2値化データ書き込み制御回路40、および出力バッファメモリ50によって構成され、出力バッファメモリ50から画像記録装置200に、ハーフトーンデータが出力される。画像記録装置200は、電子写真方式の、例えばシングルエンジン式のカラープリンタである。

【0026】

（2値化マトリクスデータ格納メモリの構成およびデータ格納状態）

この実施形態では、図1（B）に示した2値化マトリクスデータを、2値化マトリクスデータ格納メモリ10に、当該走査ラインに対する全ての、すなわち180ビットの2値化マトリクスデータを同時に読み出すことができるように格納する。

【0027】

例えば、図3に示すように、2値化マトリクスデータ格納メモリ10を、同一アドレスから、それぞれ16ビットのデータを読み出すことができる12個のS

RAM1～12によって構成し、CMYKの各色についての、それぞれ階調値0～255の各値についての2値化マトリクスデータの、同一ラインのそれぞれ連続する16ビットのデータを、SRAM1～12の同一アドレスに（ただし、SRAM12にだけは4ビットのデータを）書き込む。したがって、2値化マトリクスデータ格納メモリ10のアドレス線は全体で18ビット、データ線は全体で180ビットとなる。

【0028】

（2値化マトリクスデータの読み出し）

図2の2値化マトリクスデータ読み出し手段20は、この実施形態では、文字図形に関する処理中の描画オブジェクトの色識別情報Colorおよび階調情報Toneと副走査方向画素位置情報Scanyとに基づいて、2値化マトリクスデータ格納メモリ10から、色識別情報Colorおよび階調情報Toneに対応し、かつ当該走査ラインに対する2値化マトリクスデータを全て、すなわち180ビット分、同時に読み出し、一時的に保持するもので、2値化マトリクスデータ読み出し制御回路21および2値化マトリクスデータフェッチレジスタ22によって構成する。

【0029】

色識別情報Colorは、CMYKのいずれかの色を示し、階調情報Toneは、0～255のいずれかの階調値を示し、副走査方向画素位置情報Scanyは、描画オブジェクトの処理中の走査ラインを示すものである。

【0030】

2値化マトリクスデータ読み出し制御回路21からは、2値化マトリクスデータ格納メモリ10をアクセスするための2値化マトリクスデータアドレス信号MDAが出力されるとともに、これにより2値化マトリクスデータ格納メモリ10から180ビットの2値化マトリクスデータSDOが読み出されるタイミングに応じて、その180ビットの2値化マトリクスデータSDOを2値化マトリクスデータフェッチレジスタ22に一時的に保持するためのフェッチタイミング信号DFTが出力されるようにする。

【0031】

2値化マトリクスデータアドレス信号MDAは、全体として18ビットで構成され、上位10ビットは、色識別情報Colorおよび階調情報Toneから生成され、下位8ビットは、副走査方向画素位置情報Scanyをマトリクスサイズの180で除算した余り値から生成される。

【0032】

2値化マトリクスデータアドレス信号MDAは、前の走査ラインのハーフトーン処理が終了し、次の走査ラインのハーフトーン処理を開始するために副走査方向画素位置情報Scanyが変化したときに出力される。

【0033】

2値化マトリクスデータフェッチレジスタ22は、例えば、図4に示すように、180個のDフリップフロップ回路DFF1～DFF180によって構成され、上記のフェッチタイミング信号DFTがDフリップフロップ回路DFF1～DFF180にクロックとして入力されたときにおける、2値化マトリクスデータ格納メモリ10から読み出された180ビットの2値化マトリクスデータSDoが、Dフリップフロップ回路DFF1～DFF180に保持され、後述するバレルシフタ32に出力される。

【0034】

(2値化マトリクスデータの選択出力)

図2の2値化マトリクスデータ選択手段30は、処理中の描画オブジェクトの主走査方向の先頭画素位置を示す主走査方向画素位置情報Scanxに基づいて、描画オブジェクトの主走査方向画素位置と2値化マトリクスデータの主走査方向画素位置との相対的な位置ずれを補正するために、当該走査ラインのハーフトーン処理が終了するまで、2値化マトリクスデータ読み出し手段20の2値化マトリクスデータフェッチレジスタ22に保持された180ビットの2値化マトリクスデータSDoを順次、この例では32ビット単位でシフトさせながら、2値化マトリクスデータSDoから32ビットの2値化マトリクスデータSDsを選択的に出力するもので、2値化マトリクスデータ選択制御回路31、バレルシフタ32および2値化マトリクスデータレジスタ33によって構成する。

【0035】

この選択的なデータ出力の様子を、図5に示す。例えば、描画オブジェクトの処理中の画素列の主走査方向32ビット単位での開始点が、180ビットの2値化マトリクスデータSD0の177番目のデータであるとする、32ビットの2値化マトリクスデータSDsとして、1回目のデータ出力では、2値化マトリクスデータSD0の177番目から28番目までの連続する32ビットのデータが同時に出力され、2回目のデータ出力では、2値化マトリクスデータSD0の29番目から60番目までの連続する32ビットのデータが同時に出力される。

【0036】

このようにデータを選択的に出力するためのバレルシフタ32は、例えば、図6に示すように、2段のデータセクタ群、すなわちデータセクタ32a1～32a12およびデータセクタ32b1～32b8によって構成する。

【0037】

2値化マトリクスデータフェッチレジスタ22から出力された180ビットの2値化マトリクスデータSD0は、4ビット単位で分配されて、前段のデータセクタ32a1～32a12に入力される。ただし、連続する32ビットの2値化マトリクスデータSDsを構成する、それぞれ4ビット単位の8組のデータSD1～SD4, SD5～SD8, …SD29～SD32が、同一のデータセクタから出力されないような配置とする。

【0038】

すなわち、2値化マトリクスデータSD0の1番目から144番目までのデータは、1番目から4番目までのデータがデータセクタ32a1に入力され、5番目から8番目までのデータがデータセクタ32a2に入力され、というように、データセクタ32a1～32a12に分配されて入力され、2値化マトリクスデータSD0の145番目から180番目までのデータは、145番目から148番目までのデータがデータセクタ32a4（図では省略）に入力され、149番目から152番目までのデータがデータセクタ32a5（図では省略）に入力され、というように、データセクタ32a4～32a12に分配されて入力される。

【0039】

したがって、データセクタ32a1～32a3には、それぞれ4ビット単位の3組のデータが入力され、データセクタ32a4～32a12には、それぞれ4ビット単位の4組のデータが入力される。このように4ビット単位で処理するのは、4ビットが、2値化マトリクスデータSDoのビット数の180ビットと、2値化マトリクスデータSDsのビット数の32ビットの、最大公約数であるからである。

【0040】

そして、後述する2値化マトリクスデータ選択制御回路31からの、それぞれ2ビットのセレクト信号SEL a1～SEL a12によって、データセクタ32a1～32a12から、それぞれ一組の4ビットのデータが選択的に出力される。

【0041】

さらに、このデータセクタ32a1～32a12からの、それぞれ4ビット単位のデータは、次段のデータセクタ32b1～32b8のそれぞれに共通に入力され、後述する2値化マトリクスデータ選択制御回路31からの、それぞれ4ビットのセレクト信号SEL b1～SEL b8によって、データセクタ32b1, 32b2, …32b8から、図5に示したような、連続する32ビットの2値化マトリクスデータSDsを構成する、それぞれ4ビットのデータSD1～SD4, SD5～SD8, …SD29～SD32が選択的に出力される。したがって、前段の12個のデータセクタ32a1～32a12のうち、後段の8個のデータセクタ32b1～32b8を通じて有効なデータを出力するのは、8個のみである。データセクタ32a1～32a12と、データセクタ32b1～32b8は、同時に動作する。

【0042】

このパレルシフタ32から出力された2値化マトリクスデータSDs (SD1～SD32) は、描画オブジェクトの処理中の画素列に対応したハーフトーンデータを構成し、図2の2値化マトリクスデータレジスタ33に出力される。2値化マトリクスデータフェッチレジスタ22から2値化マトリクスデータレジスタ

3 3 への出力は、例えば、バレルシフタ 3 2 を動作させるクロック 1 サイクル分で処理される。

【 0 0 4 3 】

2 値化マトリクスデータレジスタ 3 3 は、バレルシフタ 3 2 から出力された 3 2 ビットの 2 値化マトリクスデータ S D s を一時的に格納するもので、例えば、3 2 個の D フリップフロップ回路によって構成され、2 値化マトリクスデータ選択制御回路 3 1 からのレジスタタイミング信号 R S T が 3 2 個の D フリップフロップ回路にクロックとして入力されたときにおける 2 値化マトリクスデータ S D s が、3 2 個の D フリップフロップ回路に保持され、後述する 2 値化データ書き込み制御回路 4 0 に出力される。

【 0 0 4 4 】

2 値化マトリクスデータ選択制御回路 3 1 からは、上記の主走査方向画素位置情報 S c a n x に基づいて、上記のセレクト信号 S E L a 1 ~ S E L a 1 2 およびセレクト信号 S E L b 1 ~ S E L b 8 とレジスタタイミング信号 R S T が出力されるようにする。

【 0 0 4 5 】

セレクト信号 S E L (S E L a 1 ~ S E L a 1 2 , S E L b 1 ~ S E L b 8) は、全体として 5 6 ビットで構成されるが、この 5 6 ビットのセレクト信号 S E L を生成するために、例えばルックアップテーブルを用いる。すなわち、あらかじめ、3 2 ビット単位の主走査方向画素位置に対応したセレクト信号の組み合わせを計算して、ROM に蓄積しておく。

【 0 0 4 6 】

そして、2 値化マトリクスデータ選択制御回路 3 1 では、主走査方向画素位置情報 S c a n x に基づいて、その ROM のアドレスが算出され、そのアドレスデータによって ROM からセレクト信号 S E L が読み出される。この場合の 3 2 ビット単位の主走査方向画素位置に対応したセレクト信号の組み合わせは 4 5 (= 1 8 0 / 4) 組で、アドレスデータ全体は 6 ビット幅となる。そのアドレスは、処理中の描画オブジェクトの主走査方向の先頭画素位置を、それが含まれる 3 2 ビット単位の先頭画素位置に置き換えた後、マトリクスサイズの 1 8 0 で除算し

た余り値を、さらに4で除算することによって算出される。

【0047】

(ハーフトーンデータの出力バッファメモリへの書き込み)

2値化データ書き込み制御回路40は、まず、処理中の描画オブジェクトの主走査方向画素位置情報Scanxおよび副走査方向画素位置情報Scanyに基づいて、出力バッファメモリ50上のハーフトーンデータを書き込むアドレスADRを算出する。この例では、出力バッファメモリ50にハーフトーンデータを32ビット幅で記録できるようにする。

【0048】

さらに、2値化データ書き込み制御回路40は、アドレスADRを算出後、2値化マトリクスデータ選択手段30の2値化マトリクスデータレジスタ33から出力された32ビットの2値化マトリクスデータSDsと、描画オブジェクトの塗りつぶし領域（画素形状）を示すマスクデータMaskとの論理積演算を行い、その演算結果のデータを、アドレスADRによって出力バッファメモリ50に書き込む。

【0049】

ただし、この例では、書き込みモード制御信号Wmodeによって、単純な書き込みとリード・モデファイ・ライトとを選択制御する。すなわち、この例では、描画オブジェクトのハーフトーンデータは順次、上書きされるように出力バッファメモリ50に記録されるが、単純な書き込みでは、各走査ラインごとの描画オブジェクトの開始または終了のエッジで32ビット幅で余りが発生する場合、当該画素列以外の個所がオブジェクトが無い状態として上書きされてしまう。

【0050】

リード・モデファイ・ライトは、これを防止するものである。すなわち、リード・モデファイ・ライトの書き込みモードでは、描画オブジェクトの開始または終了のエッジで32ビット幅で余りが発生する場合、出力バッファメモリ50上のデータが2値化データ書き込み制御回路40に読み出され、上記のマスクデータMaskがビット反転された後、その読み出されたデータと反転されたマスクデータとが論理積演算され、その演算結果と、上記の2値化マトリクスデータS

Ds とマスクデータ Mask との論理積演算の結果とが、合成処理された後、出力バッファメモリ 50 に書き込まれる。

【0051】

以上のように出力バッファメモリ 50 に書き込まれたハーフトーンデータは、出力バッファメモリ 50 から画像記録装置 200 に出力され、画像記録装置 200 においてハーフトーン画像が形成される。

【0052】

出力バッファメモリ 50 は、例えばページメモリとするが、1 ページを所定の大きさに分割したバンドバッファメモリとしてもよい。バンドバッファメモリの場合には、ハーフトーン生成装置 100 に入力される描画オブジェクトデータは、所定のバンドサイズで分割され、バンドごとに処理されるとともに、少なくとも 2 組のバンドバッファメモリが設けられて、ハーフトーンデータのバンドバッファメモリへの書き込みとバンドバッファメモリからの読み出しが、少なくとも 2 組のバンドバッファメモリの間で交互に行われるようにする。

【0053】

(第 1 の実施形態の効果)

上述した第 1 の実施形態では、2 値化マトリクスデータ格納メモリ 10 から、閾値階調データではなく、あらかじめ閾値階調データによって 2 値化された、ハーフトーンデータとなる 2 値化マトリクスデータが直接読み出される。

【0054】

したがって、2 値化マトリクスデータ格納メモリ 10 からの読み出しデータ線は、従来のように閾値マトリクスデータメモリから閾値階調データを読み出す場合の閾値階調データが 8 ビットであれば、従来の $1/8$ となり、2 値化マトリクスデータ格納メモリ 10 からの読み出しデータ線を少なくすることができる。逆に、2 値化マトリクスデータ格納メモリ 10 からの読み出しデータ線を従来の閾値マトリクスデータメモリからの読み出しデータ線と同数にすれば、従来の 8 倍のマトリクスサイズとすることができる。また、2 値化マトリクスデータ格納メモリ 10 から読み出された 2 値化マトリクスデータを並べ替えるためのハードウェアも、例えば $1/8$ に低減することができる。

【 0 0 5 5 】

さらに、並列に処理する画素数を大きくすることができるので、高速のハーフトーン処理を実現することができる。しかも、2値化マトリクスデータ格納メモリ10からハーフトーンデータとなる2値化マトリクスデータが直接読み出されるので、多値画像データと閾値階調データとを比較するコンパレータが不要となり、その点でも小規模のハードウェアとすることができる。

【 0 0 5 6 】

〔第2の実施形態〕

図7は、この発明のハーフトーン生成装置の第2の実施形態の全体構成を示す。ハーフトーン生成装置100が、大別して、2値化マトリクスデータ格納メモリ10、2値化マトリクスデータ読み出し手段20、2値化マトリクスデータ選択手段30、2値化データ書き込み制御回路40、および出力バッファメモリ50によって構成される点は、第1の実施形態と同じであるが、以下のように、2値化マトリクスデータ格納メモリ10の構成およびデータ格納状態、および2値化マトリクスデータ読み出し手段20および2値化マトリクスデータ選択手段30の構成および動作が、第1の実施形態と異なる。

【 0 0 5 7 】

(2値化マトリクスデータ格納メモリの構成およびデータ格納状態)

この実施形態では、図1(B)に示した2値化マトリクスデータを、2値化マトリクスデータ格納メモリ10に、当該走査ラインに対する一部の、この例では32ビットの2値化マトリクスデータを同時に読み出すことができるように格納する。

【 0 0 5 8 】

例えば、図8に示すように、2値化マトリクスデータ格納メモリ10を、同一アドレスから、それぞれ16ビットのデータを読み出すことができる2個のSRAM1, 2によって構成し、CMYKの各色についての、それぞれ階調値0～255の各値についての2値化マトリクスデータの、同一ラインのそれぞれ連続する16ビットのデータを、SRAM1, 2に交互に振り分けて書き込む。

【0059】

さらに、2値化マトリクスデータの各ラインにつき、180番目のデータに続いて1番目から76番目までのデータを、繰り返してSRAM1, 2に書き込むことによって、後述するように、文字図形に関する処理中の描画オブジェクトの主走査方向の先頭画素位置に対応する32ビット単位の2値化マトリクスデータを連続的に読み出すことができるようにする。

【0060】

(2値化マトリクスデータの読み出し)

図7の2値化マトリクスデータ読み出し手段20は、この実施形態では、文字図形に関する処理中の描画オブジェクトの色識別情報Colorおよび階調情報Toneと主走査方向画素位置情報Scanxおよび副走査方向画素位置情報Scanyとに基づいて、2値化マトリクスデータ格納メモリ10から、色識別情報Colorおよび階調情報Toneに対応し、かつ当該走査ラインに対する2値化マトリクスデータを、ハーフトーン処理1回につき、32ビットずつ同時に2サイクルに渡って64ビット分、読み出し、一時的に保持するもので、2値化マトリクスデータ読み出し制御回路21および2値化マトリクスデータフェッチレジスタ22によって構成する。

【0061】

2値化マトリクスデータ読み出し制御回路21からは、2値化マトリクスデータ格納メモリ10をアクセスするための2値化マトリクスデータアドレス信号MDAが出力されるとともに、これにより2値化マトリクスデータ格納メモリ10から32ビットずつ2サイクルに渡って2値化マトリクスデータSDoが読み出されるタイミングに応じて、その合わせて64ビットの2値化マトリクスデータSDaを2値化マトリクスデータフェッチレジスタ22に一時的に保持するためのセレクト信号RSELおよびフェッチタイミング信号DFTが出力されるようにする。

【0062】

2値化マトリクスデータアドレス信号MDAは、全体として21ビットで構成され、上位10ビットは、色識別情報Colorおよび階調情報Toneから生

成され、続く8ビットは、副走査方向画素位置情報Scanyをマトリクスサイズの180で除算した余り値から生成され、さらに下位3ビットは、主走査方向画素位置情報Scanxをマトリクスサイズの180で除算した余り値を、さらに32で除算した余り値から生成される。

【0063】

第1の実施形態では、2値化マトリクスデータ格納メモリ10から当該走査ラインに対する全ての2値化マトリクスデータが同時に読み出されるので、2値化マトリクスデータアドレス信号MDAは各走査ラインごとに1回ずつ出力されるが、この第2の実施形態では、ハーフトーン処理1回ごとに異なる2値化マトリクスデータアドレス信号MDAが2回ずつ出力される。

【0064】

2値化マトリクスデータフェッチレジスタ22は、例えば、図9に示すように、データセクタ220とレジスタ221および222とによって構成され、上記のセレクト信号RSELによりデータセクタ220が切り替えられることによって、2値化マトリクスデータ格納メモリ10から32ビットずつ2サイクルに渡って読み出された2値化マトリクスデータSD0が、それぞれ2値化マトリクスデータSD01およびSD02として、レジスタ221および222に振り分けられて出力される。

【0065】

レジスタ221および222は、それぞれ32個のDフリップフロップ回路によって構成され、フェッチタイミング信号DFT1およびDFT2がレジスタ221および222のそれぞれのDフリップフロップ回路にクロックとして入力されたときにおける2値化マトリクスデータSD01およびSD02が、レジスタ221および222に保持され、合わせて64ビットの2値化マトリクスデータSDaとして、後述するバレルシフタ32に出力される。

【0066】

(2値化マトリクスデータの選択出力)

図7の2値化マトリクスデータ選択手段30は、処理中の描画オブジェクトの主走査方向画素位置情報Scanxに基づいて、描画オブジェクトの主走査方向

画素位置と2値化マトリクスデータの主走査方向画素位置との相対的な位置ずれを補正するために、当該走査ラインのハーフトーン処理が終了するまで、2値化マトリクスデータ読み出し手段20の2値化マトリクスデータフェッチレジスタ22に保持された64ビットの2値化マトリクスデータSDaを順次、この例では32ビット単位でシフトさせながら、2値化マトリクスデータSDaから32ビットの2値化マトリクスデータSDsを選択的に出力するもので、2値化マトリクスデータ選択制御回路31、バレルシフタ32および2値化マトリクスデータレジスタ33によって構成する。

【0067】

このようにデータを選択的に出力するためのバレルシフタ32は、例えば、図10に示すように、8個のデータセクタ32b1～32b8によって構成され、2値化マトリクスデータフェッチレジスタ22から出力された64ビットの2値化マトリクスデータSDaは、4ビット単位で分配されて、データセクタ32b1～32b8のそれぞれに共通に入力される。

【0068】

そして、2値化マトリクスデータ選択制御回路31からの、それぞれ4ビットのセレクト信号SELb1～SELb8によって、データセクタ32b1, 32b2, …32b8から、連続する32ビットの2値化マトリクスデータSDsを構成する、それぞれ4ビットのデータSD1～SD4, SD5～SD8, …SD29～SD32が選択的に出力される。

【0069】

第1の実施形態のバレルシフタ32が、180ビットの2値化マトリクスデータSDoから32ビットの2値化マトリクスデータSDsを選択的に出力するため、図6に示したように2段のデータセクタ群で構成されるのに対して、この第2の実施形態のバレルシフタ32は、1段のデータセクタ群で構成することができる。同様に、この第2の実施形態では、2値化マトリクスデータ選択制御回路31からのセレクト信号SELのビット幅も、56ビットから32ビットに低減させることができる。

【0070】

2値化マトリクスデータ選択制御回路31および2値化マトリクスデータレジスタ33は、上記のように2値化マトリクスデータ選択制御回路31からのセレクト信号SELのビット幅が32ビットとなる点を除いて、第1の実施形態と同じである。

【0071】

(ハーフトーンデータの出力バッファメモリへの書き込み)

ハーフトーンデータの出力バッファメモリ50への書き込み、すなわち2値化データ書き込み制御回路40および出力バッファメモリ50の構成および動作は、第1の実施形態と同じである。

【0072】

(第2の実施形態の効果)

上述した第2の実施形態によれば、第1の実施形態と比較して、2値化マトリクスデータ読み出し手段20および2値化マトリクスデータ選択手段30を構成する回路のハードウェア量、および各回路間を接続する配線量を、大幅に低減させることができる。

【0073】

[他の実施形態]

第2の実施形態のように、2値化マトリクスデータを2値化マトリクスデータ格納メモリ10に、図8に示したように格納する場合には、上述したように2値化マトリクスデータ格納メモリ10からの2値化マトリクスデータの読み出しにハーフトーン処理1回につき2サイクルを要し、ハーフトーン処理の処理速度が低下する。例えば、2値化マトリクスデータ格納メモリ10から図5に1回目のデータ出力として示したような177番目から28番目までのデータを読み出すときには、最初に161番目から12番目までのデータが読み出され、次に13番目から44番目までのデータが読み出されて、ハーフトーンデータ選択手段30によって177番目から28番目までのデータが選択的に出力される。

【0074】

これに対して、図11に示すように、2値化マトリクスデータの同一ラインの

同一の 1 6 ビットのデータを、S R A M 1, 2 の両方に書き込むようにすれば、2 値化マトリクスデータ格納メモリ 1 0 からの 2 値化マトリクスデータの読み出しをハーフトーン処理 1 回につき 1 サイクルで行うことができ、ハーフトーン処理の処理速度を低下させることなく、2 値化マトリクスデータ読み出し手段 2 0 および 2 値化マトリクスデータ選択手段 3 0 を構成する回路のハードウェア量、および各回路間を接続する配線量を、大幅に低減させることができる。

【0 0 7 5】

【発明の効果】

上述したように、この発明によれば、文字図形に関する描画オブジェクトごとに複数画素のハーフトーンデータを同時に生成するハーフトーン生成装置において、マトリクスサイズが大きく、角度および線数の自由度が高いハーフトーンデータを、小規模のハードウェアで高速に生成することができる。

【図面の簡単な説明】

【図 1】

この発明での閾値マトリクスデータおよび 2 値化マトリクスデータの例を示す図である。

【図 2】

第 1 の実施形態のハーフトーン生成装置の全体構成を示す図である。

【図 3】

第 1 の実施形態の 2 値化マトリクスデータ格納メモリの構成およびデータ格納状態の例を示す図である。

【図 4】

第 1 の実施形態の 2 値化マトリクスデータフェッチレジスタの構成例を示す図である。

【図 5】

第 1 の実施形態で複数画素の 2 値化マトリクスデータが選択的に出力される様子を示す図である。

【図 6】

第 1 の実施形態のバレルシフタの構成例を示す図である。

【図 7】

第 2 の実施形態のハーフトーン生成装置の全体構成を示す図である。

【図 8】

第 2 の実施形態の 2 値化マトリクスデータ格納メモリの構成およびデータ格納状態の例を示す図である。

【図 9】

第 2 の実施形態の 2 値化マトリクスデータフェッチレジスタの構成例を示す図である。

【図 1 0】

第 2 の実施形態のバレルシフタの構成例を示す図である。

【図 1 1】

他の実施形態の 2 値化マトリクスデータ格納メモリの構成およびデータ格納状態の例を示す図である。

【図 1 2】

従来の代表的なハーフトーン生成装置を示す図である。

【符号の説明】

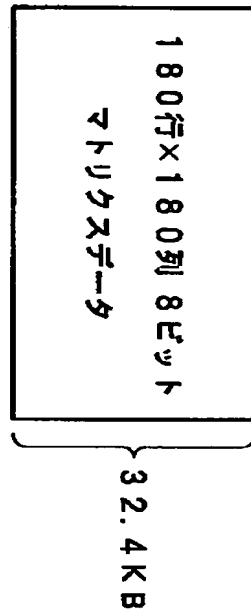
- 1 0 … 2 値化マトリクスデータ格納メモリ
- 2 0 … 2 値化マトリクスデータ読み出し手段
- 3 0 … 2 値化マトリクスデータ選択手段
- 4 0 … 2 値化データ書き込み制御回路
- 5 0 … 出力バッファメモリ

【書類名】 図面

【図 1】

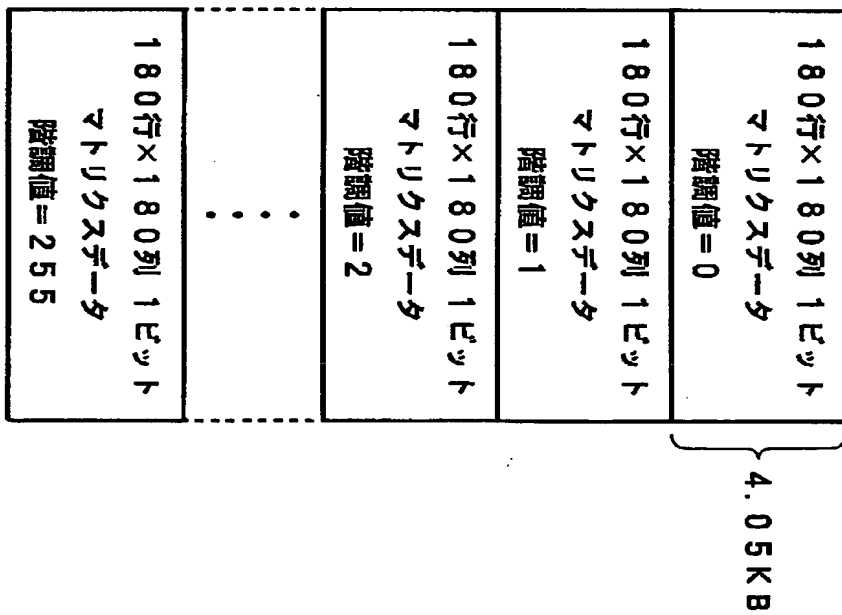
(A)

閾値マトリクスデータ(多値)

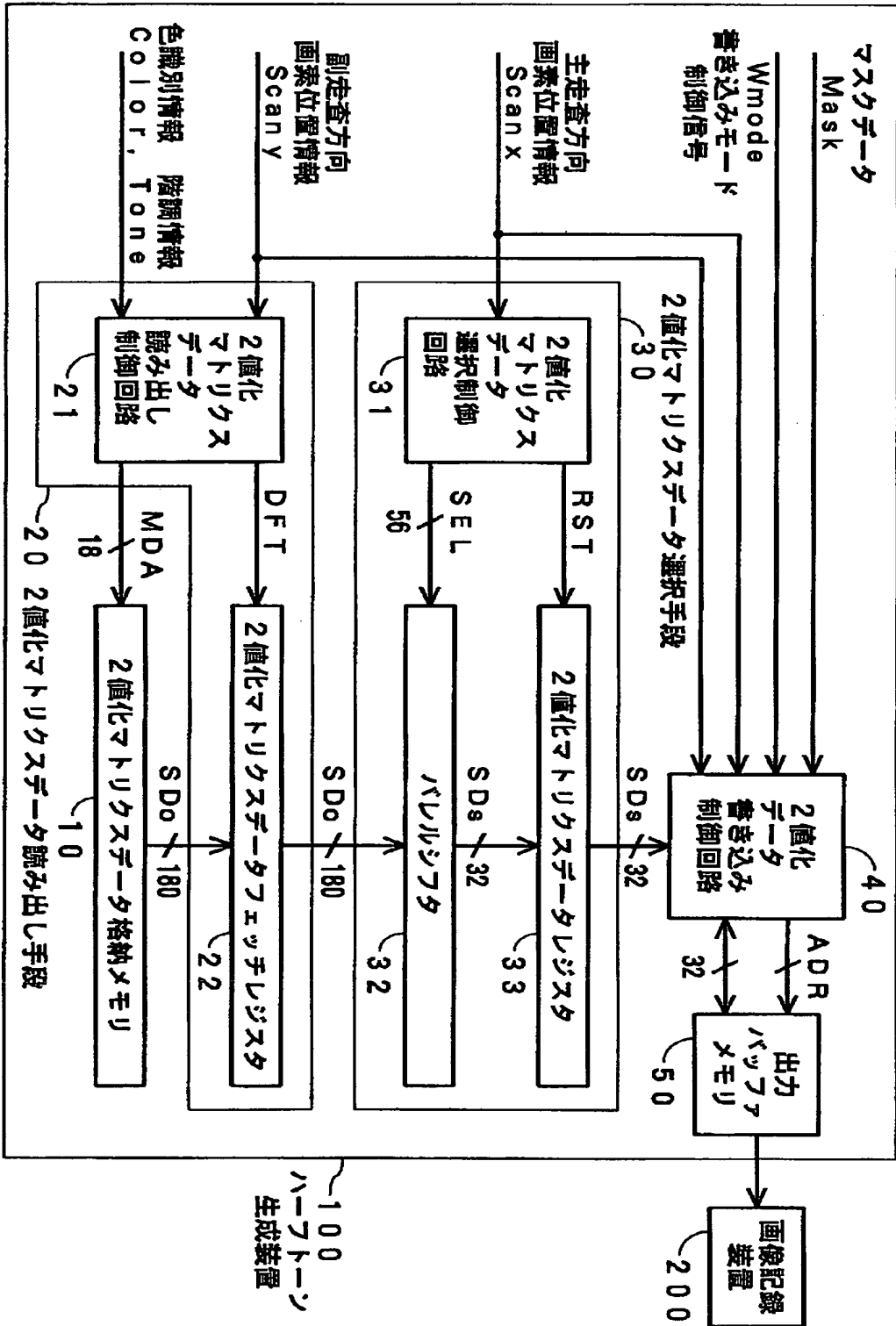


(B)

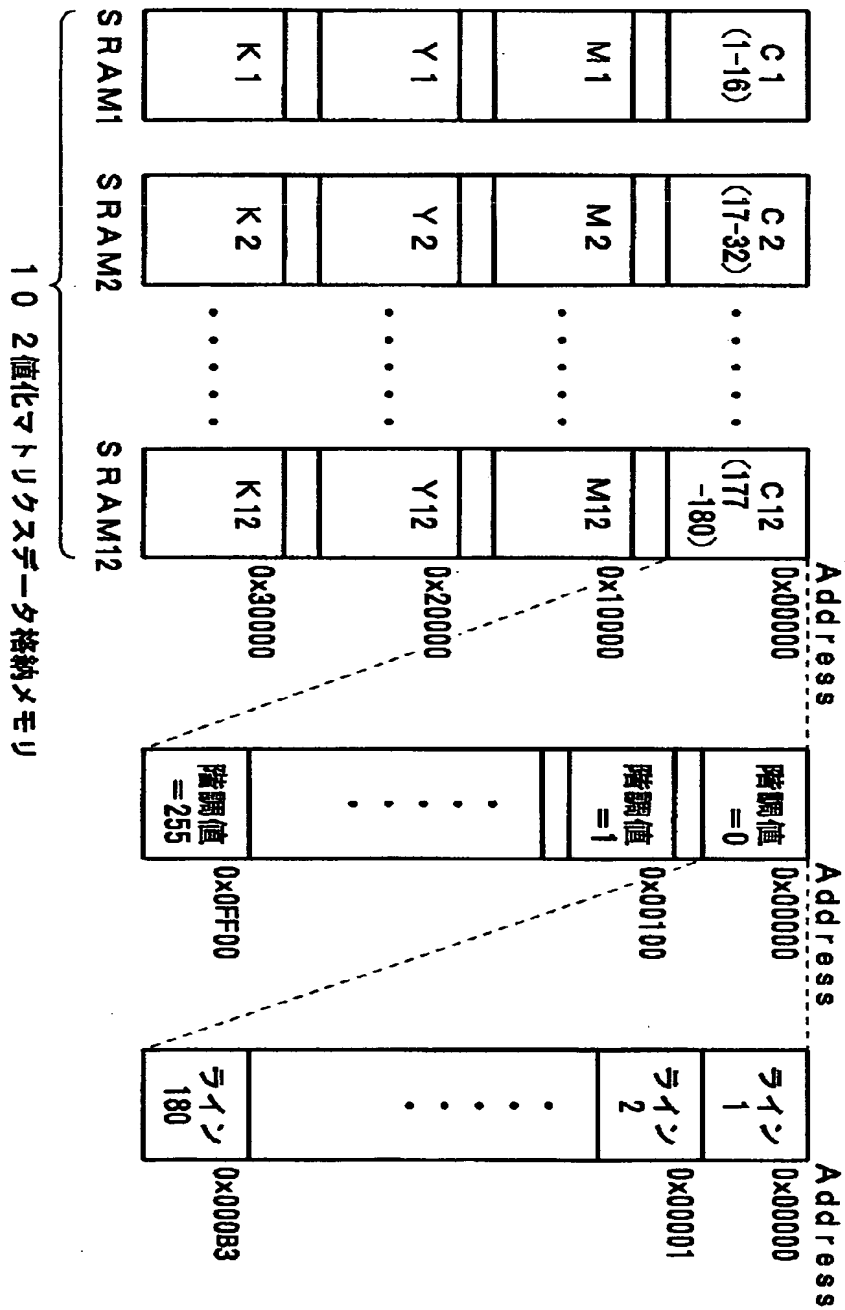
2値化マトリクスデータ



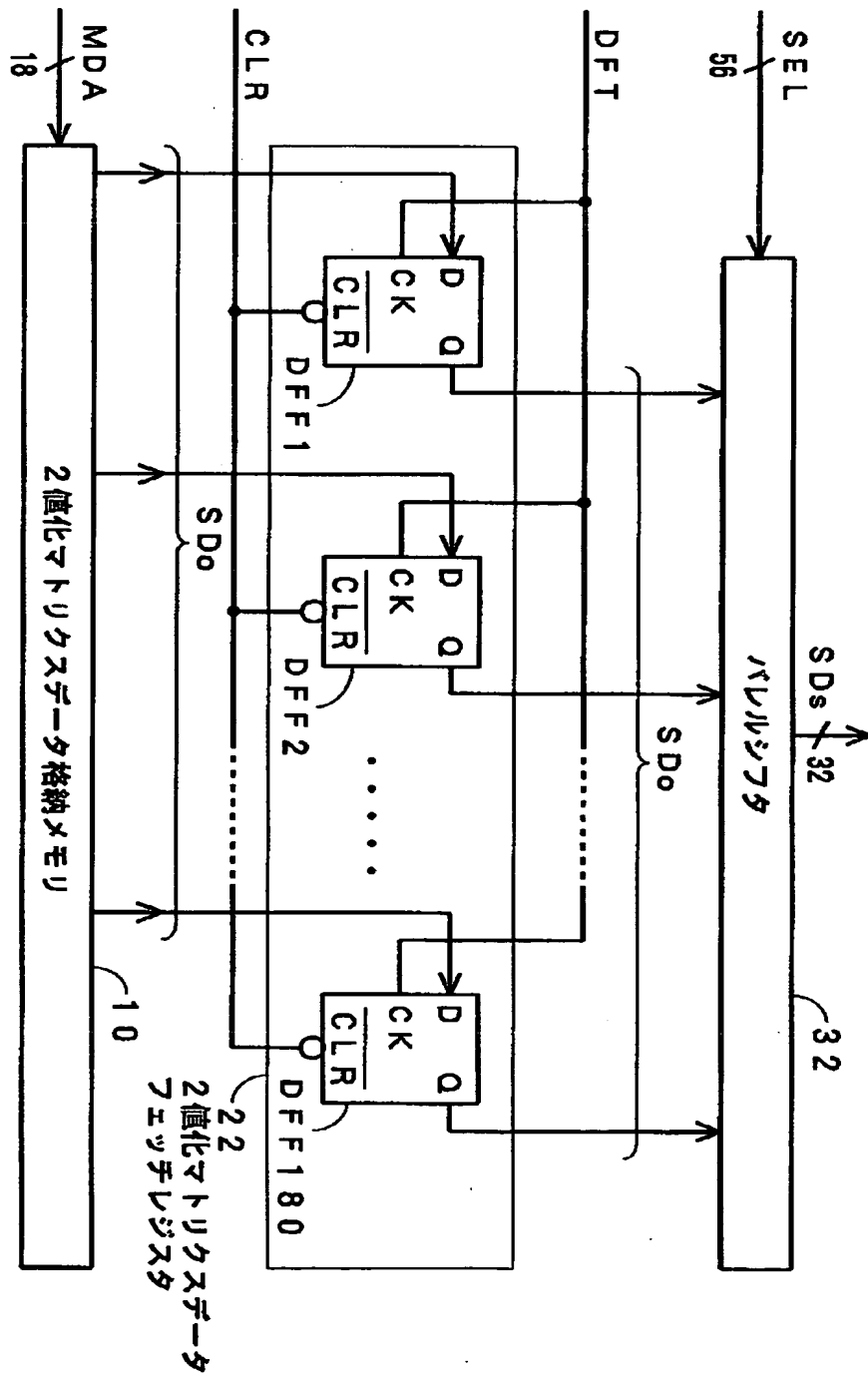
【図 2】



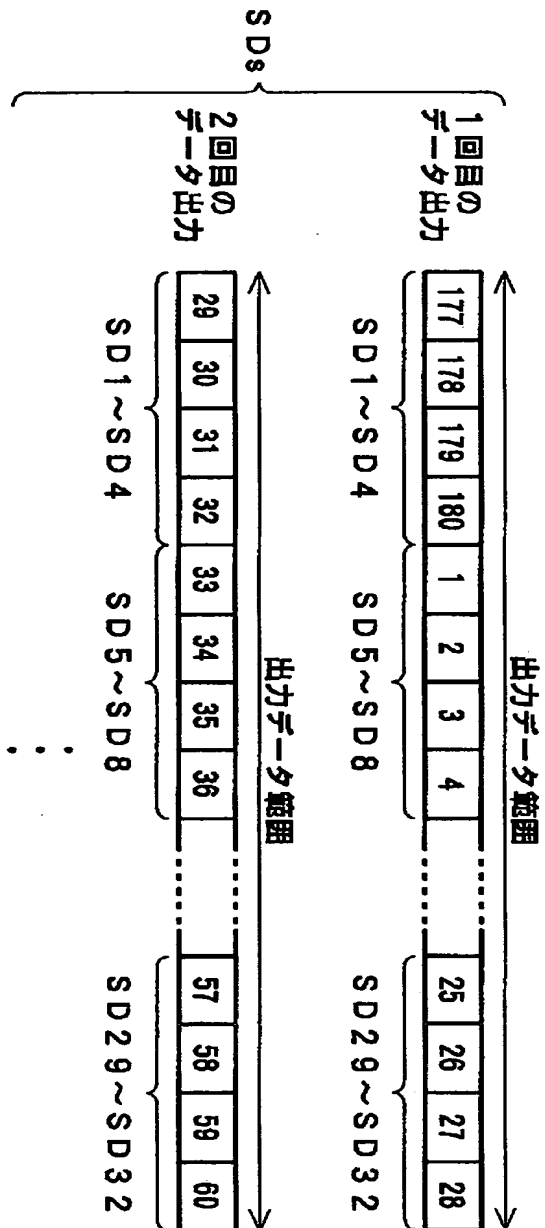
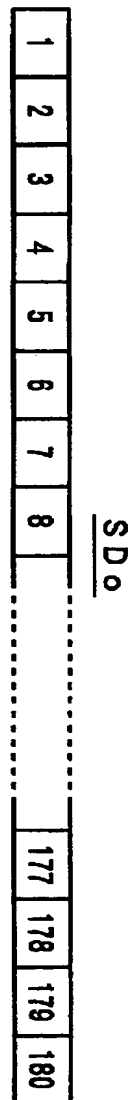
【図 3】



【図 4】

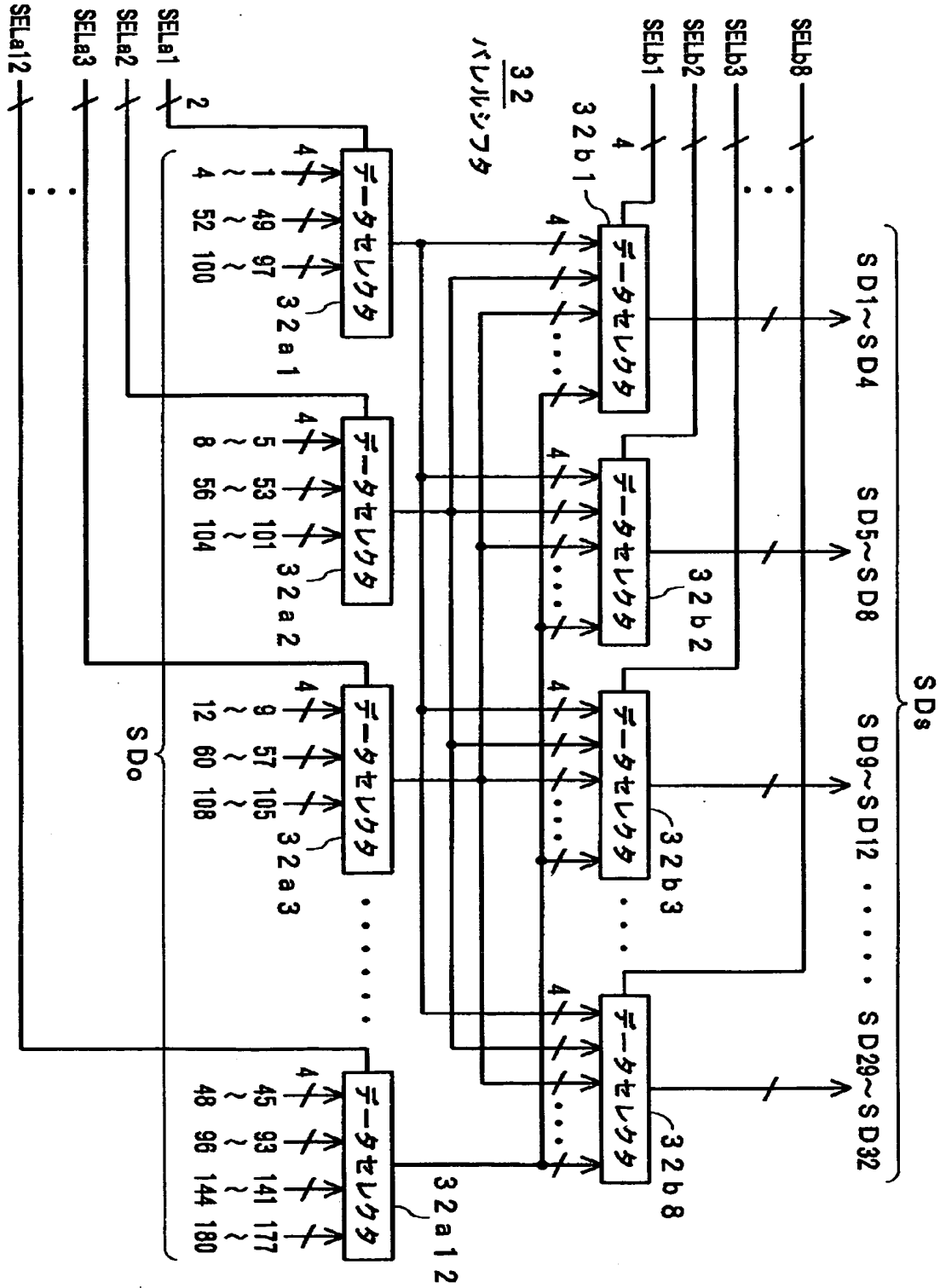


2値化マトリクスデータ
フエツチレジスタ22の
格納状態

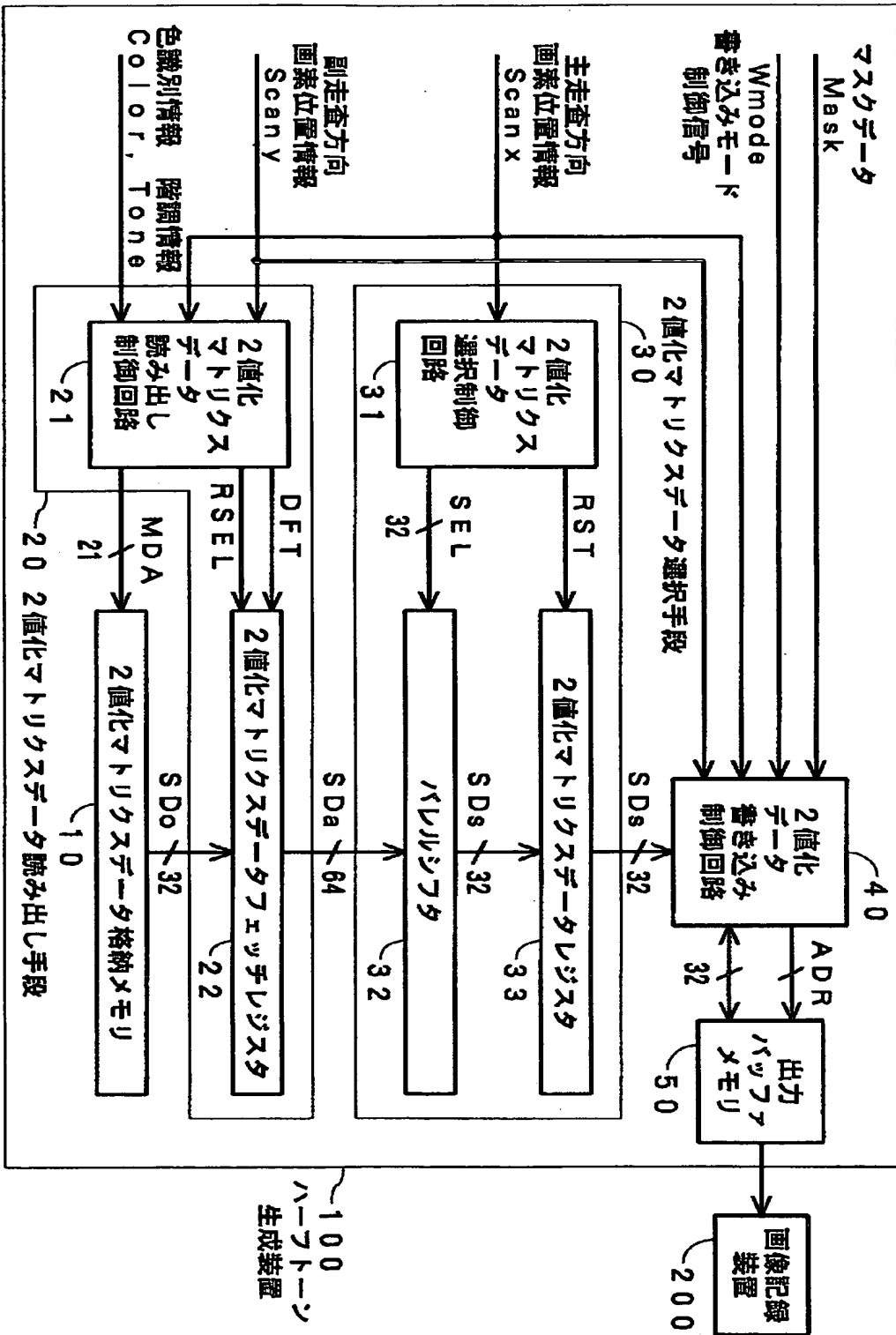


【図 5】

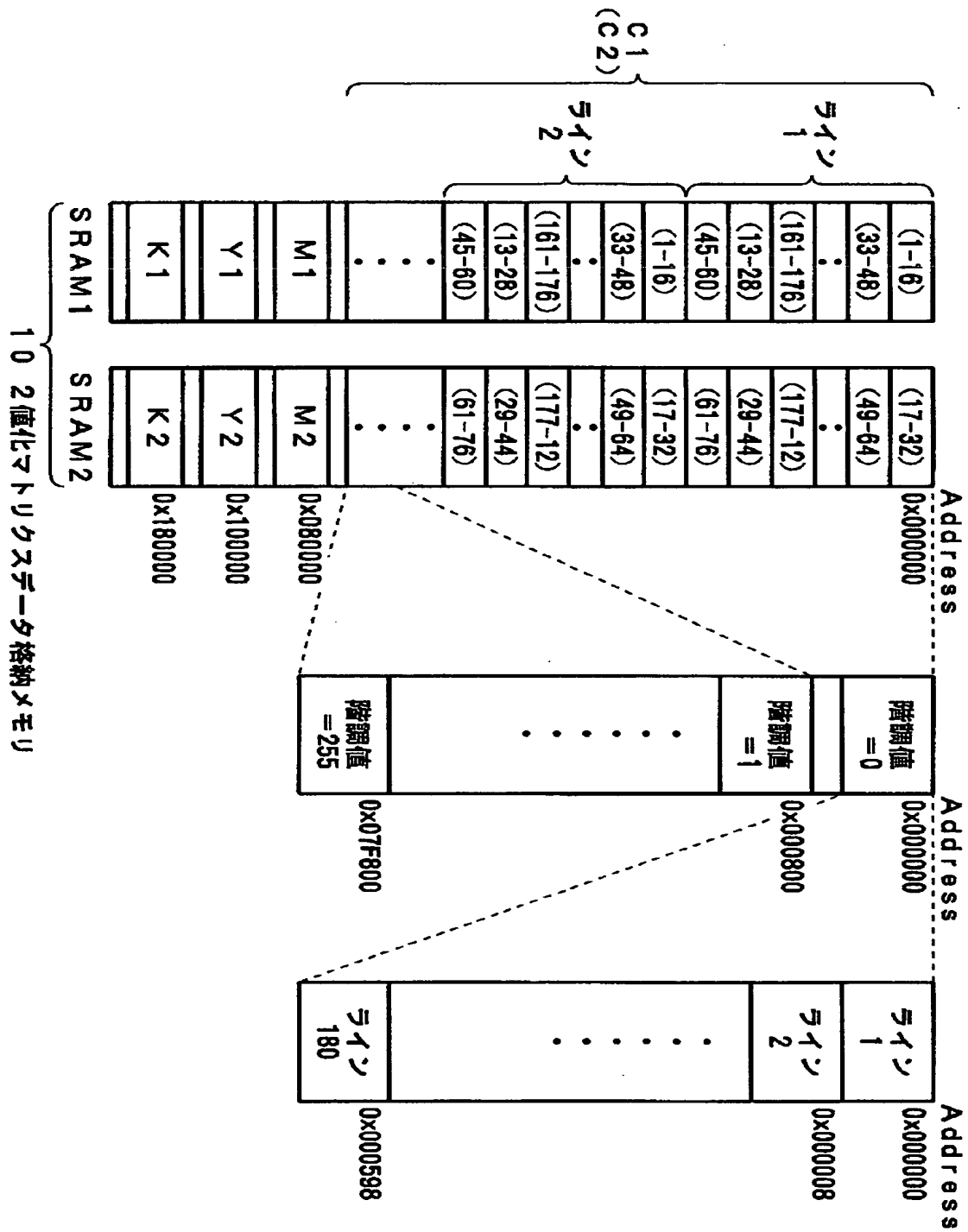
【図 6】

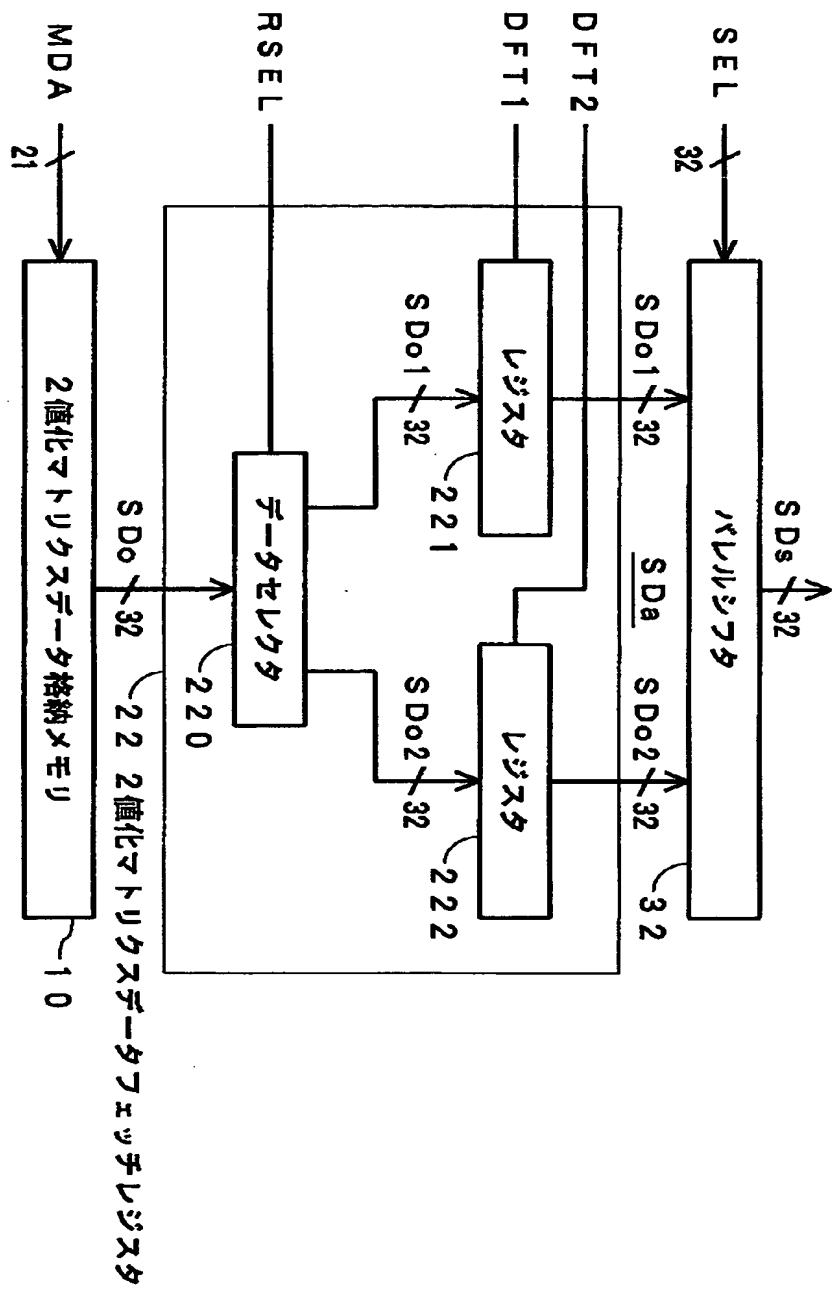


【図7】



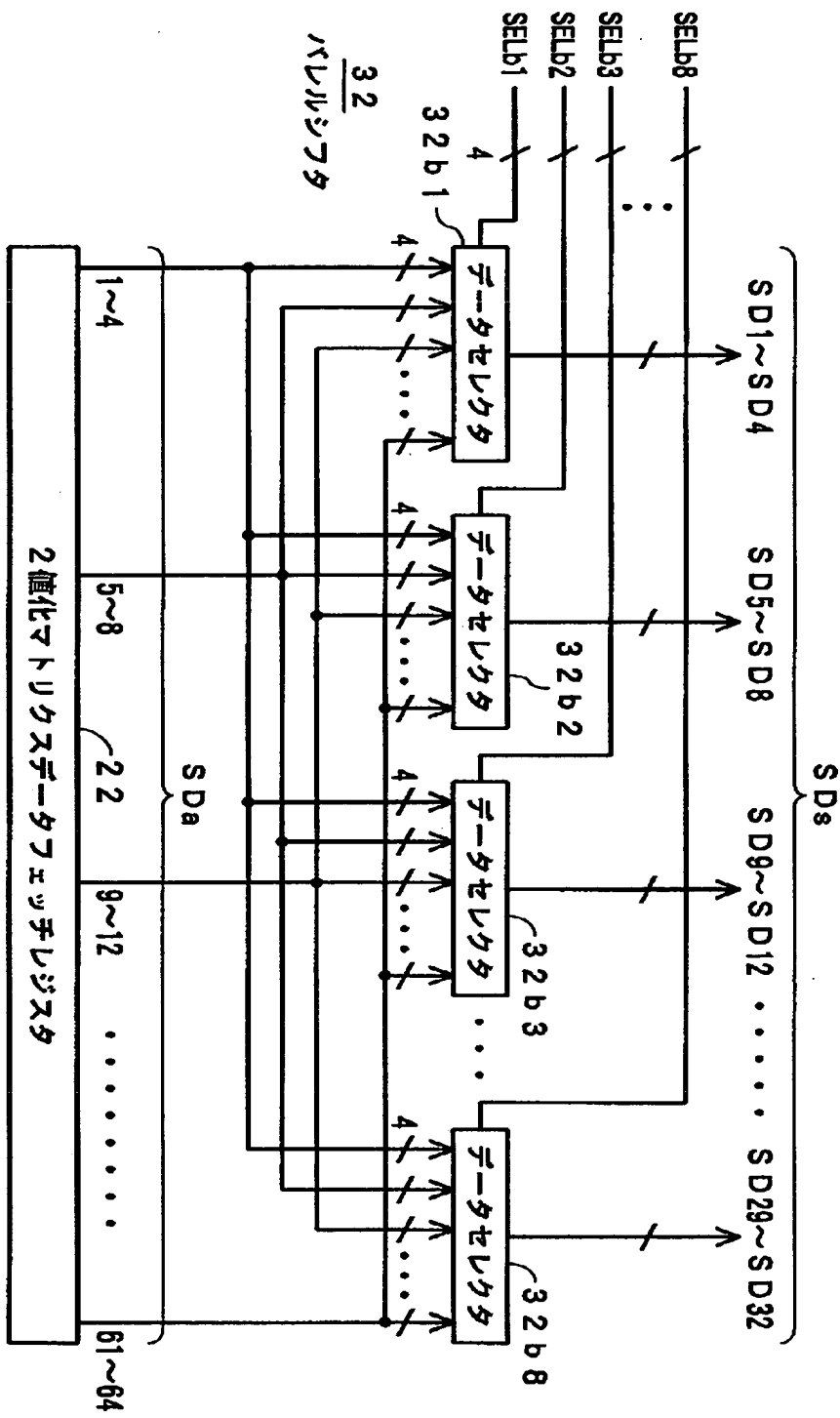
【図 8】



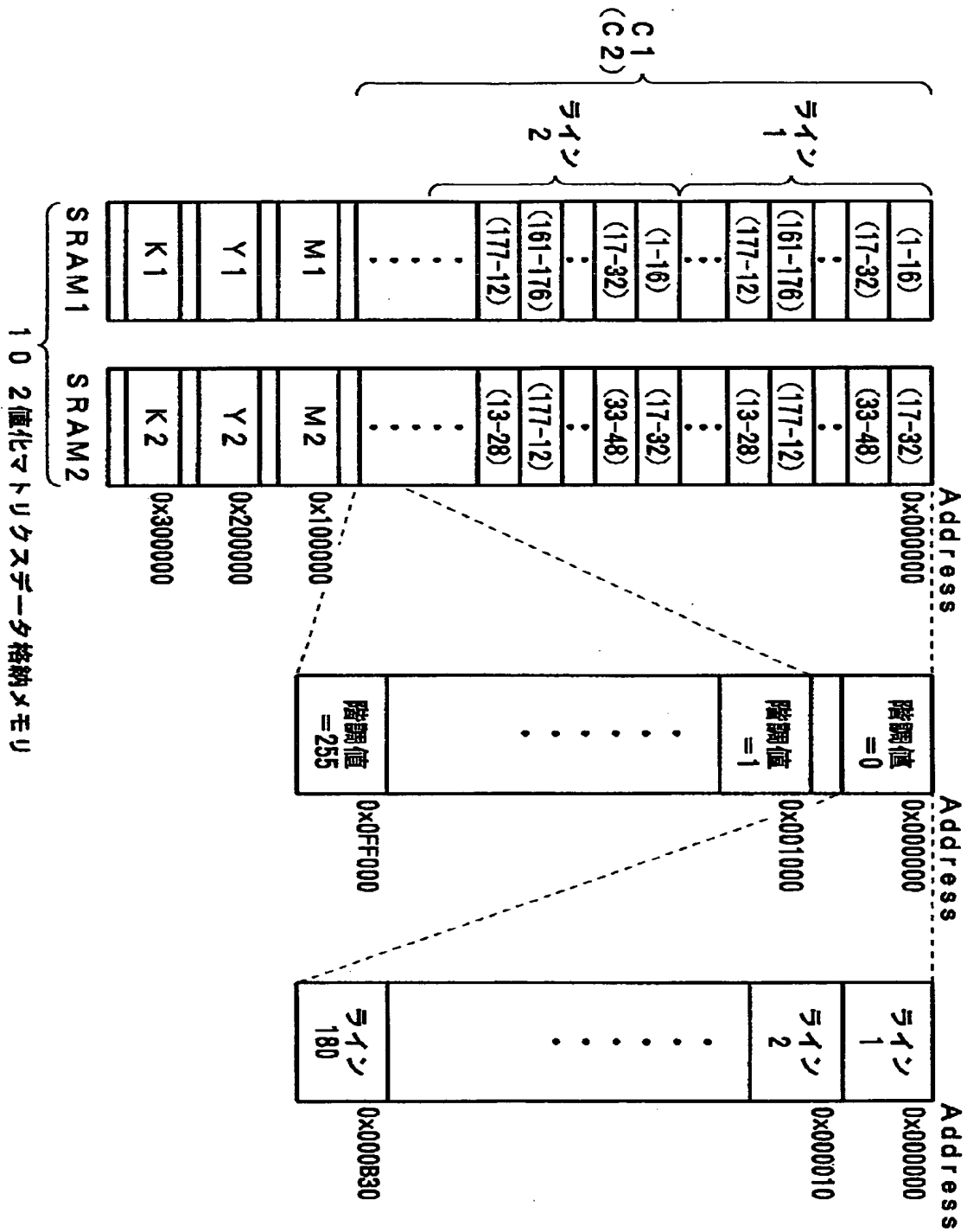


【図9】

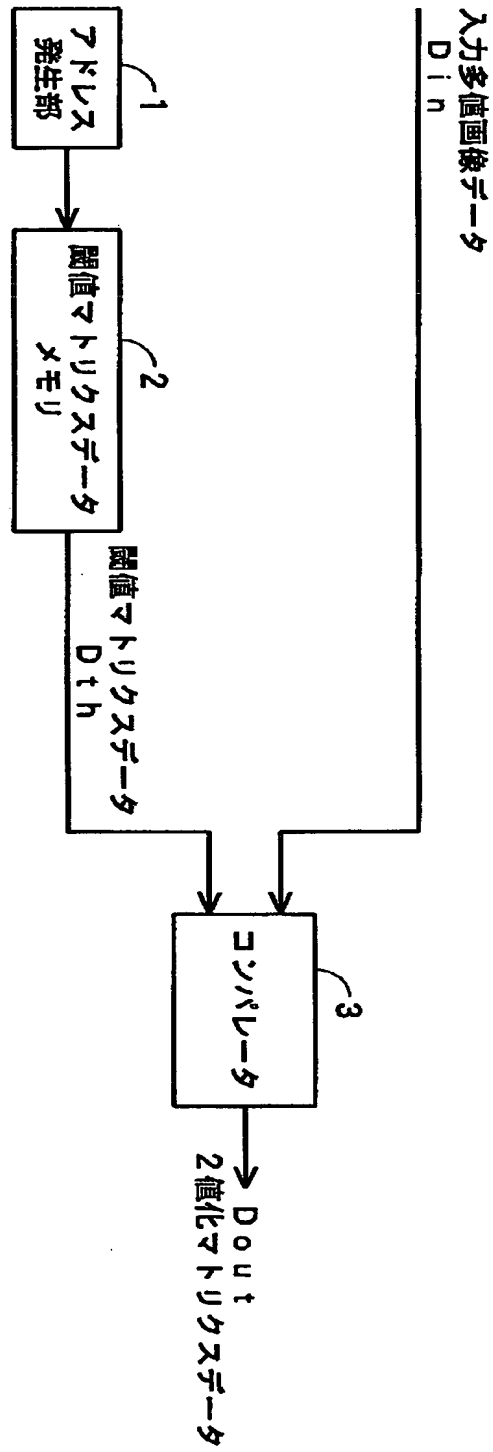
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 文字図形に関する描画オブジェクトごとに複数画素のハーフトーンデータを同時に生成するハーフトーン生成装置で、マトリクスサイズが大きく、角度および線数の自由度が高いハーフトーンデータを、小規模のハードウェアで高速に生成できるようにする。

【解決手段】 閾値マトリクスデータとして、高解像度の画像記録装置に対応する 180×180 という大きなマトリクスサイズのを生成する。この閾値マトリクスデータによって、処理する描画オブジェクトの全ての階調値についての2値化マトリクスデータを生成し、メモリに格納しておく。描画オブジェクトの階調値が8ビットで表現される場合には、階調値0, 1, 2...255のそれぞれにつき、閾値マトリクスデータの2値化閾値と比較した結果の、 180×180 のマトリクスサイズの2値化マトリクスデータを生成し、メモリに格納しておく。この2値化マトリクスデータを格納したメモリから、当該走査ラインに対する所定量の2値化マトリクスデータを読み出し、その読み出した2値化マトリクスデータから、複数画素の2値化マトリクスデータを選択的に出力する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005496]

1. 変更年月日	1996年 5月29日
[変更理由]	住所変更
住 所	東京都港区赤坂二丁目17番22号
氏 名	富士ゼロックス株式会社